



# אמינות בעידן ה-Nanometer

עם הגידול בצפיפות השבבים הולכת ומחמירה בעיית האמינות (Reliability). דני ריטמן אומר שפתרונות יעילים בתהליכי הננומטר חייבים לכלול אנליזות בשלבים המוקדמים של התיכנון.

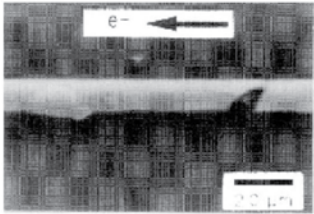


Figure 5 - Electromigration Effect - Open Circuit  
Image: Computer Simulation Laboratory

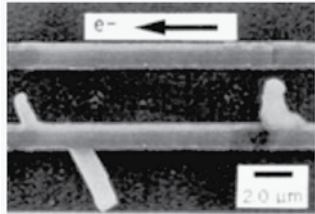


Figure 4 - Electromigration Effect - Short Circuit  
Image: Computer Simulation Laboratory

שווק ה-EDA כולל כלי signoff המבצעים אנליזות מורכבות בתחום ה-reliability הכוללות גם בדיקות חשובות אחרות כגון: ir-drop, latchup, ESD (Eldo, Spectre) ביחד עם כלי הדמייה חשמלית (hSpice) כדי לבצע ניתוח ועיבוד אמינות בהתבסס על נתוני זרמים מחושבים ומסופקים ע"י כלים אחרים.

בשנים האחרונות פתחו כלי אנליזה אינטראקטיביים, המבצעים בדיקות אמינות בשלב תכנון ה-layout עצמו. בדיקות מוקדמות המתבצעות עם בניית ה-layout מאפשרות גילוי וזיהוי של חיבוריות חשמלית, המועדת לבעיות אמינות ובעיקר סחיפת אלקטרונים. כלים אלו מבצעים קירובים ושיעורכים המתבססים על חוקי היסוד הפיזיקליים של תופעות האמינות ומספקים פתרונות בדיוקים גבוהים. פתרונות אלו מכסים אחוז משמעותי של בעיות האמינות כבר בשלבים המוקדמים כך שזמן רב נחסך בשלב בדיקות reliability signoff. בנוסף, טכנולוגיות אלו מאפשרות לקרוא תוצאות הדמייה חשמלית של כלי תעשייה ולבצע ניתוח מדוייק יותר עבור תופעות האמינות עבור אותות נבחרים המוגדרים כ-critical path, clocks, וכדומה. בנוסף כלים אלו מבצעים ניתוח של בעיות אמינות אחרות ומספקים פתרונות אמינות יחודיות בשלב מוקדם של התכנון. אין ספק, כדי לספק פתרונות אמינות יעילים במיוחד בתהליכי ננומטר מתקדמים הדרך היעילה ביותר היא לבצע אנליזות בשלבים מוקדמים של התיכנון, בשלב ה-FRONTEND ובשלב ה-LAYOUT.

מצרה את המוליך במקום אחד ומרחיבה אותו במקום אחר עד שנגרם כשל מכני כתוצאה מנתק (void) או קצר חשמלי (short). מסוכנת במיוחד תופעת סחיפת האלקטרונים מטיפוס Uni-Direction ברשתות בהן הזרם זורם תמיד באותו כיוון, למשל בקווי האספקה למעגלים השונים בשבב.

במקרה כזה, הזרם הוא מטיפוס DC (זרם ישר) ולכן תופעה זו גורמת לסחיפה מסוכנת יותר מאשר בזרם חילופין (AC) שבו יש מקדם תיקון מסויים (תנועת הזרם הינה בשני כיוונים (Bi-Direction)).

תופעת סחיפת האלקטרונים במוליכים מושפעת ישירות ע"י גורם הטמפרטורה. ככל שהטמפרטורה עולה, כך מוצאת התופעה. בעקרון, כל קווי המתכת בעלי צפיפות זרם גבוהה והחשופים לטמפרטורה גבוהה בשבב הם בעלי סיכון ניכר לכשל מטיפוס נתק או קצר חשמלי.

תופעת התחממות עצמית של מוליכים קשורה ישירות לתופעת סחיפת האלקטרונים ונבדקת בדרך כלל באותה הקטגוריה. קווים המתחממים כתוצאה מצפיפות זרם ברמות גבוהות הינם בסיכון גבוה במיוחד. כשלים בחיבוריות של ה-Layout שמקורו בתופעת סחיפת האלקטרונים בדרך כלל אינם מופיעים מיידית אלא לאורך זמן. בנוסף לכך הזיהוי המדוייק של מקום הכשל הינו קשה לחיזוי. לכן הפתרון היעיל ביותר לבעיה הינו מניעה מראש של התופעה.

## כלי אנליזה אינטראקטיביים

פתרונות לתופעה זו ניתנים בהסתמך על הדמיות מראש (simulations) של מעגלים חשמליים ובדיקת ה-layout עצמו. בשלב ה-frontend ניתן לתכנן את רכיבי המעגל מראש להגבלת צפיפות הזרם לרמות המותרות. בשלב ה-backend ניתן לוודא, שקווי האספקה ואותות מתוכננים בעוביים המתאימים ומחוברים בכמות מספקת של contacts/via.

כלים אוטומטיים place & route וכלי סינתזה מבצעים חיוט המבוסס על חישובי צפיפות זרם מראש למניעת סחיפת אלקטרונים. גם בשלב היצור (fabrication) ניתן לספק פתרונות לבעיה ע"י הגדלת גרעיני המתכת, שיפור תהליך הפסיווציה, שימוש בשכבות ביניים ועוד.

ד"ר דני ריטמן\*, CTO  
Micrologic Design Automation

Micrologic Design Automation ההצלחה המרשימה של עולם השבבים נובעת מפיתוח טרנזיסטורים בטכנולוגיות CMOS ובגרותיהן, תוך שימת הדגש על מיזעור תהליכי היצור, שיפור הביצועים וצריכת הזרם. ככל שתהליכי היצור קטנים, יותר טרנזיסטורים מיושמים על ה-DIE, מידת החיבוריות ביניהן גדלה ומחריפה הבעיה הפיסיקלית הידועה מזה כמה עשורים - האמינות (Reliability). הדרישות מהשבבים המודרניים לעמוד במהירויות גבוהות וסיבוכיות התיכנון והאריזה יוצרים עולם חשמלי חדש, שבו האמינות משחקת תפקיד מרכזי. בתהליכי ייצור גדולים יותר, בעיית האמינות על היבטיה הרבים, עדיין לא יצרה בעייה משמעותית, אך ככל שעוברים לתהליכי ננומטר מתקדמים יותר ולטכנולוגיות מתקדמות יותר, כשל מעגלים חשמליים כתוצאה מבעיות אמינות הופך נפוץ יותר.

אמינות השבב מתבטאת במספר ניכר של תופעות פיסיקליות. התופעות המשמעותיות הן סחיפת אלקטרונים (Electromigration), חימום עצמי (Self-Heat), Hot Electron Degradation, Latchup, Ir Drop, Crosstalk, Soft Errors ועוד.

בתהליך התכנון ה-layout השבב נבדק בדיקות גיאומטריות (DRC) וחיבוריות חשמלית (LVS) באופן תכוף. בדיקות האמינות מתבצעות רק בשלב שבו חלקים גדולים של ה-Layout כבר הסתיימו ורוב עבודת התכנון התבצעה. בדרך כלל בשלב מאוחר זה מתגלות בעיות אמינות רציניות. לאחר גילוי וזיהוי בעיות אלו נדרשת עבודת תיקון ארוכה ומייגעת המצריכה בדיקות DRC ו-LVS חוזרות. התופעה עלולה לדחות את יעדי ה-Tapeout עקב דרישות תיקונים חוזרים ולגרום לאיחור משמעותי ביציאת השבב לשוק. בכדי לעמוד בתאריכי היציאה המתוכננים לשוק חברות תכנון מאשרות חריגות אמינות רבות תוך התפשרות על איכות השבב.

## סחיפה מסוכנת

כאמור, אחת מתופעות האמינות החמורות היא סחיפת האלקטרונים: שבבים המיוצרים בהליכי ננומטר מתקדמים או תכנונים עבור זרמים ומתחים גבוהים כוללים מאות מיליוני טרנזיסטורים, העובדים בתדר גבוה. צפיפות הזרם בקווי החיבוריות והאספקה יוצרת בעית סחיפת אלקטרונים. תנועת האלקטרונים כחלק מתופעת הזרם החשמלי גורמת ל"שיחיקה מכנית" של קווי המתכת ב-layout (אירוזה). סחיפת האלקטרונים לאורך זמן

\* ד"ר דני ריטמן הוא מייסד ו-CTO בחברת Micrologic Design Automation. דני הינו אחד המיסדים ומנהל הפתוח של חברת Bindkey, שנקנתה ע"י חברת DuPont ועסקה בפתוח תוכנות EDA. דני פעיל מזה למעלה מ-20 שנה בתחום ה-Back-end בתפקידי יישום ותכנון שונים. ניסיונו כולל נהול פרויקטי תוכנה בתחומי ה-DRC, אמינות (Reliability) ויצור (DFM) בחברות כגון אינטל, IBM ויצור (Qualcomm, Lattice, Digital) ועוד. דני בעל תואר PHD במדעי המחשב מאוניברסיטת ייל בארה"ב. ניתן לפנות אליו בכתובת: Danny.Rittman@micrologic-da.com